



IMAGE PROCESSOR

Publication Number: 04-038582 (JP 4038582 A) , February 07, 1992

Inventors:

- OBARA MITSUHIKO

Applicants

- TOSHIBA CORP (A Japanese Company or Corporation), JP (Japan)
- SORD COMPUT CORP (A Japanese Company or Corporation), JP (Japan)

Application Number: 02-145321 (JP 90145321) , June 05, 1990

International Class (IPC Edition 5):

- G06F-015/72
- G09G-005/00
- G09G-005/02
- G09G-005/36

JAPIO Class:

- 45.4 (INFORMATION PROCESSING--- Computer Applications)
- 44.9 (COMMUNICATION--- Other)

Abstract:

PURPOSE: To improve data processing efficiency by access-processing to plural bit planes simultaneously corresponding to image processing by a bit map system every single plane.

CONSTITUTION: A image controller (IC) 11 accesses respective planes 0 to 3 and starts a plane simultaneous process (PSP) 12. The respective planes 0 to 3 read dist data. A data processing parts (DP) 14a to 14d latch the dist data to a data latching part (DL) 17. A pseudo data generating part 15 transfers pseudo data to the IC 11. The IC 11 generates fixed plotting pattern data, executes raster operation with the pseudo data and outputs them to the PSP 12. The DPs 14a to 14d latch a raster operation result to the DL 17, execute the raster operation of the raster operation result and the respective dist data, execute mask processing (making color), write the plotting pattern data in the planes 0 to 3 and display the color pattern of a straight line and so on. (From: *Patent Abstracts of Japan*, Section: P, Section No. 1355, Vol. 16, No. 211, Pg. 126, May 19, 1992)

JAPIO

© 2003 Japan Patent Information Organization. All rights reserved.
Dialog® File Number 347 Accession Number 3673482

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-38582

⑬ Int. Cl.⁸

G 06 F 15/72
G 09 G 5/00
5/02
5/36

識別記号

3 1 0

M

庁内整理番号

8125-5L
8121-5G
8121-5G
8121-5G

⑭ 公開 平成4年(1992)2月7日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 画像処理装置

⑯ 特 願 平2-145321

⑰ 出 願 平2(1990)6月5日

⑱ 発 明 者 小 原 光 彦 千葉県千葉市真砂5丁目20番7号 ソード株式会社内
⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
⑲ 出 願 人 ソード株式会社 千葉県千葉市真砂5丁目20番7号
⑳ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

画像処理装置

2. 特許請求の範囲

表示画面の各画素を複数ビットプレーンで構成したカラー表示情報を格納する画像メモリ手段と、ホストコンピュータからのコマンドに基づいて、単一プレーン毎にビットマップ方式による画像処理を実行する画像コントローラ手段と、

前記画像メモリ手段の各ビットプレーンに対応してラスタ演算等のデータ処理を実行する複数のデータ処理手段を有し、前記画像コントローラ手段による画像処理に応じて前記複数ビットプレーンに対して同時にアクセス処理を実行するプレーン同時処理手段とを具備したことを特徴とする画像処理装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、ビットマップ方式のカラーディスプレイ

装置に使用される画像処理装置に関する。

(従来技術)

従来、ワークステーション等に使用されるビットマップ方式のカラーディスプレイ装置は、LSI(大規模集積回路)からなるグラフィックス・コントローラ及びカラーCRTモニタを有する。グラフィックス・コントローラは、ホストコンピュータ(CPU)からのコマンドに応じて、直線、円等の描画処理やBITBLT(bit block transfer)等の画像制御処理を実行する。

ビットマップ方式では、カラーCRTモニタの表示画面の画素(ピクセル)単位に設定される画像情報(カラー表示情報)を格納する画像メモリが設けられている。この画像メモリはフレームバッファとも呼ばれており、1画素を例えば8ビットの複数ビットプレーンで構成する画像情報を格納する。

ここで、グラフィックス・コントローラは、LSIのピン数の制限等の理由により、単一プレーン単位に画像メモリの画像情報を処理している。

このため、1画素に対して1ビットプレーンの画像処理を行なうモノクロ表示処理の場合と比較して、1画素に対して8ビットプレーンの画像処理を行なうことで、8倍の処理時間を要することになる。

(発明が解決しようとする課題)

従来、ビットマップ方式のカラーディスプレイ装置では、コントローラは複数ビットプレーンの画像情報を単一プレーン単位に処理するため、多大な処理時間が必要となる。このため、カラー数や解像度の増大化を図ると、画像処理速度が低下し、システムのデータ処理効率の低下を招くことになる。

本発明の目的は、ビットマップ方式のカラーディスプレイ装置において、複数ビットプレーンの画像情報を高速に処理して、結果的にシステムのデータ処理効率の向上を図ることができる画像処理装置を提供することにある。

[発明の構成]

(課題を解決するための手段と作用)

本発明は、表示画面の各画素を複数ビットプレーンで構成するビットマップ方式のカラーディスプレイ装置において、ホストコンピュータからのコマンドに基づいて、単一プレーン毎にビットマップ方式による画像処理を実行する画像コントローラ手段及び画像メモリ手段の各ビットプレーンに対応してラスタ演算等のデータ処理を実行する複数のデータ処理手段を有し、画像コントローラ手段による画像処理に応じて複数ビットプレーンに対して同時にアクセス処理を実行するプレーン同時処理手段とを備えた画像処理装置である。

このような構成により、複数ビットプレーンの画像情報を同時に処理し、画像処理の高速化を実現することができる。

(実施例)

以下図面を参照して本発明の実施例を説明する。

第1図は同実施例に係わる画像処理装置の構成

を示すブロック図である。本装置は、大別してホストコンピュータ(CPU)10、グラフィックス・コントローラ(画像コントローラ)11、プレーン同時処理装置12及び画像メモリ(フレームバッファ)13からなる。CPU10は例えばワークステーションの中央処理ユニットであり、カラー画像処理に関係するコマンドを画像コントローラ11に出力する。画像コントローラ11は、CPU10からのコマンドに基づいて、直線描画及びBITBLT等の画像制御処理を実行する。画像メモリ13は、例えば4ビットの複数ビットプレーン0～3から構成されるカラー画像情報を格納するメモリであり、画像コントローラ11から出力されるアドレスAによりアクセスされる。

プレーン同時処理装置12は、各プレーン0～3に対応する複数のデータ処理部14a～14d、疑似データ発生部15及びコントロール部16を備えている。各データ処理部14a～14dはそれぞれ、データラッチ部17、マスク処理部18、ラスタ演算部19及びパレルシフト部20を有する。マスク処理部18、

ラスタ演算部19及びパレルシフト部20は、ビットマップ方式の画像処理に必要な高速の論理演算を行なうための構成要素である。疑似データ発生部15は、画像コントローラ11に対して疑似データ「FFFFH」または疑似データ「0000H」を出力する。データラッチ部17は各プレーン0～3の画像情報またはコントローラ11からのデータをラッチする回路である。コントロール部16は装置12の全体的制御を行なう回路である。

次に、同実施例の動作を説明する。

まず、例えば直線等の描画処理を行なう場合の動作について説明する。画像コントローラ11は、第2図のステップS1に示すように、画像メモリ13に所定のアドレスAを出力して各プレーン0～3をアクセスし、コントロール信号を出力してプレーン同時処理装置12を起動させる。これにより、画像メモリ13の各プレーン0～3からディスト(destination)データがリードされる(ステップS2)。プレーン同時処理装置12では、各プレーン0～3に対応する各データ処理部14a～14d

はそれぞれ、各ブレン0～3からデータバスD。～D。を通じてリードされるディストデータをデータラッチ部17によりラッチする(ステップS3)。疑似データ発生部15は疑似データ「0000H」を出力し、データバスD。を通じて画像コントローラ11に転送する(ステップS4)。

画像コントローラ11は、所定の描画パターンデータ(例えば0100)を生成し、疑似データ発生部15から転送された疑似データとのラスタ演算を実行する(ステップS5)。画像コントローラ11はラスタ演算結果(例えば0100)を、データバスD。を通じてブレン同時処理装置12に出力する。ブレン同時処理装置12では、各データ処理部14a～14dはそれぞれ、画像コントローラ11からのラスタ演算結果をデータラッチ部17によりラッチする(ステップS6)。各データ処理部14a～14dはそれぞれ、画像コントローラ11からのラスタ演算結果(描画パターンデータ)と各ディストデータとのラスタ演算を実行し、かつマス

ク処理(カラー化)を実行する(ステップS7)。各データ処理部14a～14dはそれぞれ、処理結果である描画パターンデータを画像メモリ13の各ブレン0～3にライトする(ステップS8)。これにより、画像メモリ13の各ブレン0～3にライトされた例えば直線等のカラーパターンがCRTディスプレイ装置の画面に表示されることになる。

次に、BITBLTの画像制御処理について説明する。画像コントローラ11は、第3図のステップS20に示すように、画像メモリ13に所定のアドレスAを出力して各ブレン0～3をアクセスし、コントロール信号を出力してブレン同時処理装置12を起動させる。これにより、画像メモリ13の各ブレン0～3からソースデータ(例えば文字列)がリードされる。ブレン同時処理装置12では、各ブレン0～3に対応する各データ処理部14a～14dはそれぞれ、各ブレン0～3からデータバスD。～D。を通じてリードされるソースデータをデータラッチ部17によりラッチ

し、バレルシフト20によりシフトする(ステップS21)。疑似データ発生部15は疑似データ「FFFFH」を出力し、データバスD。を通じて画像コントローラ11に転送する(ステップS22)。

画像コントローラ11は、疑似データ発生部15からの疑似ソースデータをシフトし、画像メモリ13に所定のアドレスAを出力し、各ブレン0～3をアクセスする(ステップS23)。ブレン同時処理装置12では、各データ処理部14a～14dはそれぞれ、各ブレン0～3からデータバスD。～D。を通じてリードされるディストデータ(例えば文字列を囲む枠)をデータラッチ部17によりラッチする(ステップS24)。さらに、各データ処理部14a～14dはそれぞれ、ディストデータとラッチしたソースデータとのラスタ演算をラスタ演算部19で実行する(ステップS25)。疑似データ発生部15は疑似データ「0000H」を出力し、データバスD。を通じて画像コントローラ11に転送する(ステップS26)。

画像コントローラ11は、疑似ソースデータ「FFFFH」と疑似ディストデータ「0000H」とのラスタ演算を実行する(ステップS27)。さらに、画像コントローラ11はラスタ演算結果に対してマスク処理を実行し、その処理結果であるマスクパターンデータを出力する(ステップS28)。このマスクパターンデータは、下位4ビットがマスクされると、「FFFF0H」となる疑似マスクパターンデータである。ブレン同時処理装置12では、各データ処理部14a～14dはそれぞれ、疑似マスクパターンデータをデータラッチ部17によりラッチし、マスク処理部18でマスク処理(カラー化)を実行する(ステップS29)。画像コントローラ11は、画像メモリ13に所定のアドレスAを出力し、各ブレン0～3をアクセスする(ステップS30)。各データ処理部14a～14dはそれぞれ、マスク処理結果を画像メモリ13の各ブレン0～3にライトする(ステップS31)。これにより、画像メモリ13の各ブレン0～3には、疑似マスクパタ

ーンデータが「1」のビットに対応する位置にラスタ演算結果（ディストデータとソースデータとのラスタ演算結果）が同時にライトされて、また疑似マスクパターンデータが「0」のビットに対応する位置にディストデータがそのまま同時にライトされる。

このようにして、プレーン同時処理装置12の各プレーン0～3に対応する各データ処理部14a～14dにより、各プレーン0～3の画像情報を同時にアクセスして処理することができる。この場合、画像コントローラ11は疑似データ発生部15からの疑似データにより、あたかも単一プレーンに対する画像処理を実行することになる。言い換えれば、画像コントローラ11は、画像メモリ13に対するアドレス発生装置及び書き換えデータパターン発生装置として機能することになる。そして、プレーン同時処理装置12が、各プレーン0～3に対する実際のデータ処理（画像処理）を実行することになる。

【発明の効果】

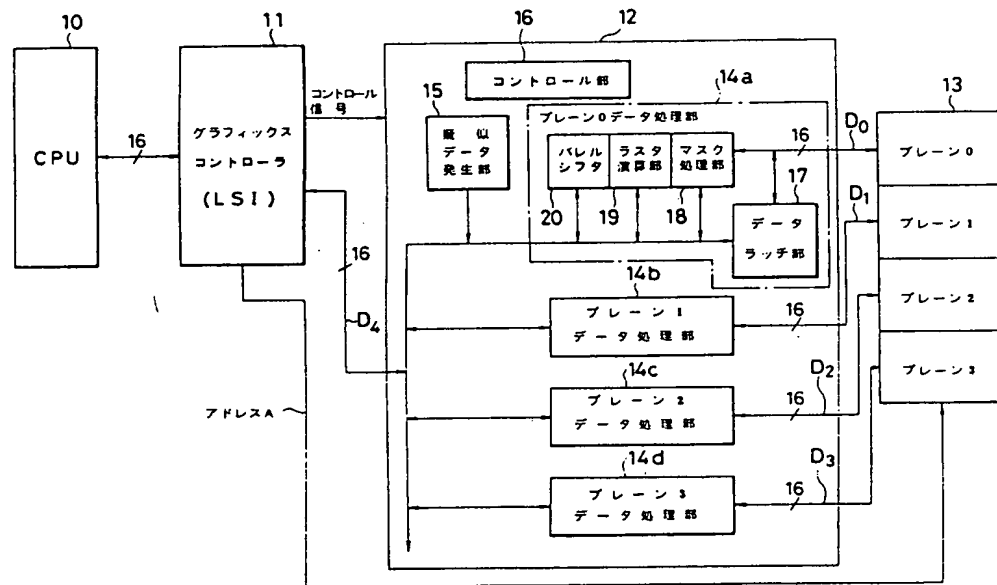
以上詳述したように本発明によれば、ビットマップ方式のカラーディスプレイ装置の画像処理装置において、複数ビットプレーンの画像情報を同時に処理できるため、複数ビットプレーンの画像情報の高速処理を実現することができる。したがって、カラー数や解像度の増大化を図る場合でも、画像処理速度の低下を招くことなく、結果的にシステムのデータ処理効率の向上を図ることができるものである。

4. 図面の簡単な説明

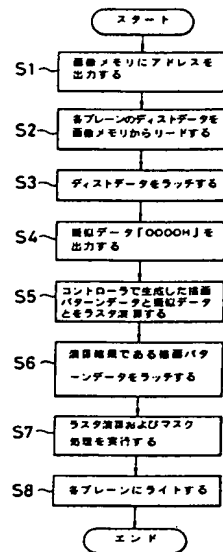
第1図は本発明の実施例に係わるシステムの構成を示すブロック図、第2図及び第3図はそれぞれ同実施例の動作を説明するためのフローチャートである。

11…画像コントローラ、12…プレーン同時処理装置、13…画像メモリ、14a～14d…プレーンデータ処理部、15…疑似データ発生部。

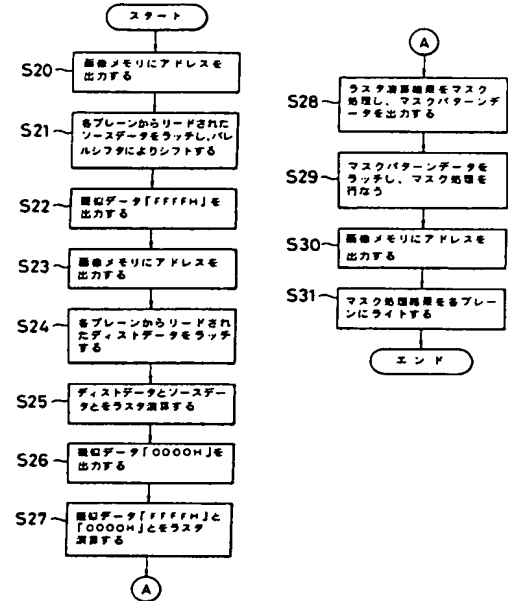
出願人代理人 弁理士 鈴江武彦



第 1 図



第 2 図



第 3 図